

(54) VIDEO SUPERIMPOSING DEVICE

(11) 3-244282 (A) (43) 31.10.1991 (19) JP

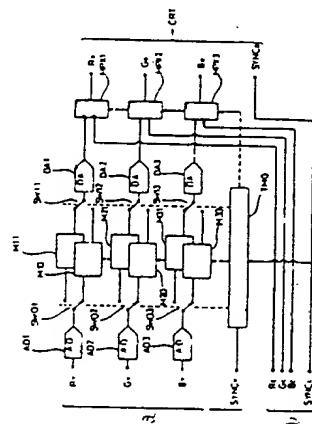
(21) Appl. No. 2-42050 (22) 22.2.1990

(71) YOKOGAWA ELECTRIC CORP (72) HIROAKI TANAKA(2)

(51) Int. Cl^s. H04N5/278, G06F15/62, G09G5/36

PURPOSE: To display a moving image on the CRT of a computer by superimposing on a still picture without using a dedicated board by converting data read out from a memory on a side where no write is performed to an analog signal with a D/A converter, inputting it to a multiplexer, and displaying the moving image in the still picture at need under the control of a timing generation circuit.

CONSTITUTION: The memories are FIFO memories in which read/write can be performed in sequence of memories $M * 0$, $M * 1$, $M * 0 \dots$. Therefore, a write request is generated in the memory at every update of operating frames F_0 , $F_1 \dots$. The frames F_0 , F_3 , and F_7 are written on the memory $M * 0$, and the frames F_1 , F_5 , and F_9 on the memory $M * 1$. When the memory to be read out next performs the fetch of a moving image frame, the preceding display picture is sent again to an output frame. The output frame of the moving image is inputted to the terminals A of the multiplexers MPX1-MPX3, and an image signal from a computer graphic board to the terminals B, and the image signal is switched.



AD1-AD3: A-D converter. DA1-DA3: D-A converter.
 SW01-03,SW11-13: switch. TMG: timing generation circuit.
 a: moving image input. b: from computer graphic board

⑫ 公開特許公報 (A) 平3-244282

⑬ Int. Cl. 5

H 04 N 5/278
G 06 F 15/62
G 09 G 5/36

識別記号

3 4 0

序内整理番号

8942-5C
8125-5L
8121-5G

⑭ 公開 平成3年(1991)10月31日

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 ビデオスーパーインボーズ装置

⑯ 特 願 平2-42050

⑰ 出 願 平2(1990)2月22日

⑮ 発明者 田中 宏明	東京都千代田区九段北3丁目3番9号 横河ジョンソンコントロールズ株式会社内
⑮ 発明者 前田 嘉之	東京都千代田区九段北3丁目3番9号 横河ジョンソンコントロールズ株式会社内
⑮ 発明者 富田 俊郎	東京都千代田区九段北3丁目3番9号 横河ジョンソンコントロールズ株式会社内
⑯ 出願人 横河電機株式会社	東京都武蔵野市中町2丁目9番32号
⑯ 代理人 弁理士 小沢 信助	

明細書

1. 発明の名称

ビデオスーパーインボーズ装置

2. 特許請求の範囲

動画入力信号の3原色信号を処理し、静止画像入力の3原色信号との切り替えを行う同一構成の赤信号処理系、緑信号処理系及び青信号処理系の回路と、前記処理系の動作を制御する制御系とで構成され、

各信号処理系は、アナログ動画入力信号をデジタル信号に変換するAD変換器(AD1, AD2, AD3)と、

該AD変換器(AD1, AD2, AD3)の出力がそれぞれ交互に書き込まれる各系少なくとも2個のFIFO構成のメモリ(M10, M11; M20, M21; M30, M31)と、

前記AD変換器(AD1, AD2, AD3)の出力を前記メモリ(M10, M11; M20, M21; M30, M31)にそれぞれ交互に書き込ませるために切り替える第1のスイッチ(SW0

1, SW02, SW03)と、

前記メモリ(M10, M11; M20, M21; M30, M31)に格納されているデータを交互に読み出すために切り替える第2のスイッチ(SW11, SW12, SW13)と、

前記メモリ(M10, M11; M20, M21; M30, M31)に格納されているデータを読み出してアナログ信号に変換するDA変換器(DA1, DA2, DA3)と、

各DA変換器(DA1, DA2, DA3)からのアナログ信号がA端子に入力され、コンピュータグラフィックボードからの静止画像信号がB端子に入力されて、前記動画信号と前記静止画像信号を必要な時期に表示するために切り替え出力するマルチプレクサ(MPX1, MPX2, MPX3)と、

前記制御系として動画信号中の同期信号により、前記各信号処理系の第1のスイッチ(SW01, SW02, SW03)の切り替えのタイミング及びメモリ(M10, M11; M20, M21;

M30, M31) の書き込みのタイミングを定め、前記動画信号中の同期信号と前記静止画像信号中の同期信号により前記第2のスイッチ(SW11, SW12, SW13) の切り替えのタイミングを定め、前記メモリ(M10, M11; M20, M21; M30, M31) の読み出しのタイミングを定めると共に、前記マルチブレクサ(MPX1, MPX2, MPX3) の切り替えタイミングを制御する少なくとも1個のタイミング生成回路(TMG) とを具備することを特徴とするビデオスーパーインポーズ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はコンピュータのCRT上に動画を表示するためのビデオスーパーインポーズ装置に関する。

(従来の技術)

コンピュータは各種計算や制御、情報処理等に用いられ、従って、従来のコンピュータのCRTでは、計算のための入出力データ、図表、各種メ

瞬信号処理系及び音信号処理系の回路と、前記処理系の動作を制御する制御系とで構成され、各信号処理系は、アナログ動画入力信号をデジタル信号に変換するAD変換器と、該AD変換器の出力がそれぞれ交互に書き込まれる各系少なくとも2個の FIFO構成のメモリと、前記AD変換器の出力を前記メモリにそれぞれ交互に書き込ませるために切り替える第1のスイッチと、前記メモリに格納されているデータを交互に読み出すために切り替える第2のスイッチと、前記メモリに格納されているデータを読み出してアナログ信号に変換するDA変換器と、各DA変換器からのアナログ信号がA端子に入力され、コンピュータグラフィックボードからの静止画像信号がB端子に入力されて、前記動画信号と前記静止画像信号を必要な時期に表示するために切り替え出力するマルチブレクサと、前記制御系として動画信号中の同期信号により、前記各信号処理系の第1のスイッチの切り替えのタイミング及びメモリの書き込みのタイミングを定め、前記動画信号中の同期信号

メッセージ、等の静止画を表示するのが主であった。

(発明が解決しようとする課題)

ところで、上記のCRTに動画を表示しようとすると、専用のグラフィックボードを開発してこれを用いる必要があった。このため、該当するコンピュータシステムの内部インターフェース、表示方式が公開されているものでなければ容易にボードの開発は行えなかった。又、開発されたボードは該当機種にのみ使用でき、他機種に同じ動作を行わせてCRTに動画を表示させようとすると、新たに別のボードを開発する必要があった。

本発明は上記の点に鑑みてなされたもので、その目的は、専用ボードを用いることなくコンピュータCRT上に静止画像に重複して動画を表示させることのできるビデオスーパーインポーズ装置を実現することにある。

(課題を解決するための手段)

前記の課題を解決する本発明は、動画入力信号の3原色信号を処理し、静止画像入力の3原色信号との切り替えを行う同一構成の赤信号処理系、

と前記静止画像信号中の同期信号により前記第2のスイッチの切り替えのタイミングを定め、前記メモリの読み出しのタイミングを定めると共に、前記マルチブレクサの切り替えタイミングを制御する少なくとも1個のタイミング生成回路とを具備することを特徴とするものである。

(作用)

画像信号の3色信号はそれぞれAD変換器においてデジタル信号に変換後スイッチにより選択されたメモリに書き込まれる。メモリに現在書き込みを行っていない側のメモリから読み出されたデータはDA変換器でアナログ信号に変換されて、マルチブレクサに入力される。マルチブレクサはタイミング生成回路の制御により、静止画像信号と動画信号とを選択出力し、静止画像中に必要に応じて動画像を表示する。

(実施例)

以下図面を参照して本発明の実施例を詳細に説明する。

第1図は本発明の一実施例のブロック図である。

図において、AD1は動画入力のカラー信号のうち赤信号R_vが入力されてディジタル信号に変換するAD変換器、AD2は同じく動画入力の緑信号G_vが入力されてディジタル信号に変換するAD変換器、AD3は同じく動画入力の青信号B_vが入力されてディジタル信号に変換するAD変換器である。SW01はAD変換器AD1からの赤信号出力R_vをメモリM10とメモリM11の何れかに書き込むために切り替えるスイッチ、SW02は同様に緑信号G_vをメモリM20とメモリM21の何れかに書き込むために切り替えるスイッチ、SW03は同様に青信号B_vをメモリM30とメモリM31の何れかに書き込むために切り替えるスイッチである。メモリM10、M11、メモリM20、M21及びメモリM30、M31はそれぞれ、M*0、M*1、M*0…(*は1～3)の順に書き込み、読み出しができるFIFO(First In First Out)メモリで構成されている。SW11はメモリM10とメモリM11に格納されている赤信号データの何れかを切り替えて

DA変換器DA1に入力するためのスイッチ、SW12はメモリM20とメモリM21に格納されている緑信号をDA変換器DA2に切り替え入力するためのスイッチ、SW13はメモリM30とメモリM31に格納されている青信号をDA変換器DA3に切り替え入力するためのスイッチである。MPX1、MPX2、MPX3はそれぞれDA変換器DA1、DA変換器DA2、DA変換器DA3の出力がA端子に入力され、又、コンピュータのグラフィックボードの出力の赤信号R_c、緑信号G_c、青信号B_cがB端子に入力されているマルチブレクサで、その出力はそれぞれ3色信号R_c、G_c、B_cとしてCRTに送られる。従って、AD変換器AD1、スイッチSW01、メモリM10、M11、スイッチSW11、DA変換器DA1及びマルチブレクサMPX1で赤信号処理系を構成し、AD変換器AD2、スイッチSW02、メモリM20、M21、スイッチSW12、DA変換器DA2及びマルチブレクサMPX2で緑信号処理系を構成し、AD変換器AD3、

スイッチSW03、メモリM30、M31、スイッチSW13、DA変換器DA3及びマルチブレクサMPX3で青信号処理系を構成している。TMGは動画入力から同期信号SYNC_vが入力され、コンピュータグラフィックボードから同期信号SYNC_cが入力されて、スイッチSW01～SW03及びスイッチSW11～SW13の切り替えのための制御信号、各メモリの動作タイミングの生成及びマルチブレクサMPX1～MPX3の動作の制御信号を出力するタイミング生成回路である。

次に上記のように構成された実施例の動作を第2図のタイムチャートを参照して説明する。図において、(イ)は動画フレームを示しており、(ロ)はメモリM*0の動作を(ハ)はメモリM*1の動作を示している。メモリはM*0、M*1、M*0…の順に書き込み、読み出しができるFIFOである。従って、動画フレームF0；F1…と更新されるたびにメモリに書き込み要求が発生する。このとき書き込まれる順番になつてい

るメモリがビジーでなければメモリーに書き込みが行われる。図において、スイッチSW01、SW02、SW03はM*0側に入っており、フレームF0はメモリM*0に書き込まれる。書き込みが終ったときスイッチSW01～SW03はメモリM*1側に入り、フレームF1がメモリM*1に書き込まれる。この間に、SW11～SW13はメモリM*0側に入つて、先に書き込まれたフレームF0の動画がスイッチSW*1を介してDA変換器DA1～DA3に読み出される。従って、(二)の出力フレームにはフレームF0が出力される。

フレームF2が入力されたとき、スイッチSW01～03はメモリM*1～M*3側に入つており、メモリM*1～M*3はフレームF2が書き込まれているので、フレームF2のメモリM*0、M*1への取り込みが行われない。次にフレームF3が入力され、スイッチSW01～SW03がM*0側に入つてフレームF3はメモリM*0に書き込まれる。メモリM*1にはフレームF1が

書き込まれていてスイッチ SW1 1～SW1 3 を経て DA1 ～DA3 に読み出されフレーム F1 が出力される。メモリ M*1 の読み出しが終ったとき、メモリ M*0 には書き込みが行われているので、スイッチ SW1 1～SW1 3 はそのままメモリ M*1 側に入っていて引き続きフレーム F1 の読み出しが繰り返され、フレーム F1 がそのまま続けて出力される。このようにして、メモリ M*0 へはフレーム F0, F3, F7 が書き込まれ、メモリ M*1 へはフレーム F1, F5, F9 が書き込まれる。

出力フレームは M*0, M*1, M*0 というように書き込まれた順に読み出すのが原則であるが、次に読み出すべきメモリが動画フレームの取り込みを行っている場合には前回の表示画面をもう一度出力フレームに送るようにしている。このようにすると、動画フレームの内、出力フレームに現れないものも出てくるが、時間的には、順序を保持した動画像が、第2図に示すように出力フレームに現れる。この程度のフレームの飛び越し

は人間の眼による観察上は差し支えない。

マルチプレクサ MPX1 ～MPX3 には第1図に示すように A 端子に動画の出力フレームが入力され、B 端子にはコンピュータグラフィックボードからの画像信号が入力されていて、この画像信号が切り替えて出力される。第3図は画像表示とマルチプレクサ MPX1 ～MPX3 の動作の関係を示す図である。(イ) 図は表示画面 1 の図で、(ロ) 図はマルチプレクサの動作タイミングの図である。(イ) 図の C のエリアにコンピュータからの画像を、V に動画を表示させる場合、(ロ) 図に示すように、C エリアにコンピュータからの画像を表示させる場合にはマルチプレクサ MPX1 ～MPX3 にコンピュータグラフィックボードからの出力側の B 端子に切り替える信号が入力され、V エリアに動画を表示させる場合にはマルチプレクサ MPX1 ～MPX3 に DA 変換器 DA1 ～DA3 の出力側の A 端子に切り替える信号が入力される。以上のスイッチ SW0 1～SW0 3, メモリ M*0 ～M*1, スイッチ SW1 1

～SW1 3, マルチプレクサ MPX1 ～MPX3 の動作は動画入力からの同期信号 SYNCv 及びコンピュータグラフィックボードからの同期信号 SYNCc が入力されているタイミング生成回路 TMG によって制御されている。

尚、本発明は前記実施例に限定されるものではない。第4図は他の実施例のブロック図である。図において、第1図と同等の部分には同一の符号を付してある。図中、TMG1, TMG2, TMG3 はそれぞれメーカーの異なる 3 種類のコンピュータに接続されるタイミング生成回路で、タイミング生成回路セレクトからの信号により接続されたコンピュータによりタイミング生成回路 TMG1, TMG2, TMG3 が切り替わられる。その動作は接続されるコンピュータ毎にタイミング生成回路 TMG1 ～TMG3 を切り替えて用いる。その他の動作は第1図の実施例と同様なので説明を省略する。

第1図、第4図の実施例ではメモリは各信号毎に 2 個用いていたが、3 個以上を用意して島田入

力のとりこぼしがなくなるようにしてもよい。

動画表示の表示オンオフを行うために、コンピュータとのインターフェース回路を付けても良い(ウインドウの位置も変えられる)。

以上説明したように本実施例の装置によれば、コンピュータの内部バスを使わずに CRT 上にウインドウを設けて動画を表示するので、CRT の同期信号の仕様が分れば、タイミング生成回路をそれに応じて変更することにより、動画のスーパーインポーズ装置が実現できる。又、第4図の実施例では 1 台のビデオスーパーインポーズ装置で複数のコンピュータに対応することができる。

(発明の効果)

以上詳細に説明したように本発明によれば、専用ボードを用いることなくコンピュータ CRT 上に動画を表示させることができるようになり、实用上の効果は大きい。

4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は実施例の動作のタイムチャート、

第3図は両像表示とマルチプレクサの動作関係
図。

第4図は本発明の他の実施例のブロック図である。

AD1, AD2, AD3…AD変換器

M10, M11, M20, M21, M30, M
31…メモリ

DA1, DA2, DA3…DA変換器

MPX1, MPX2, MPX3…マルチプレク
サ

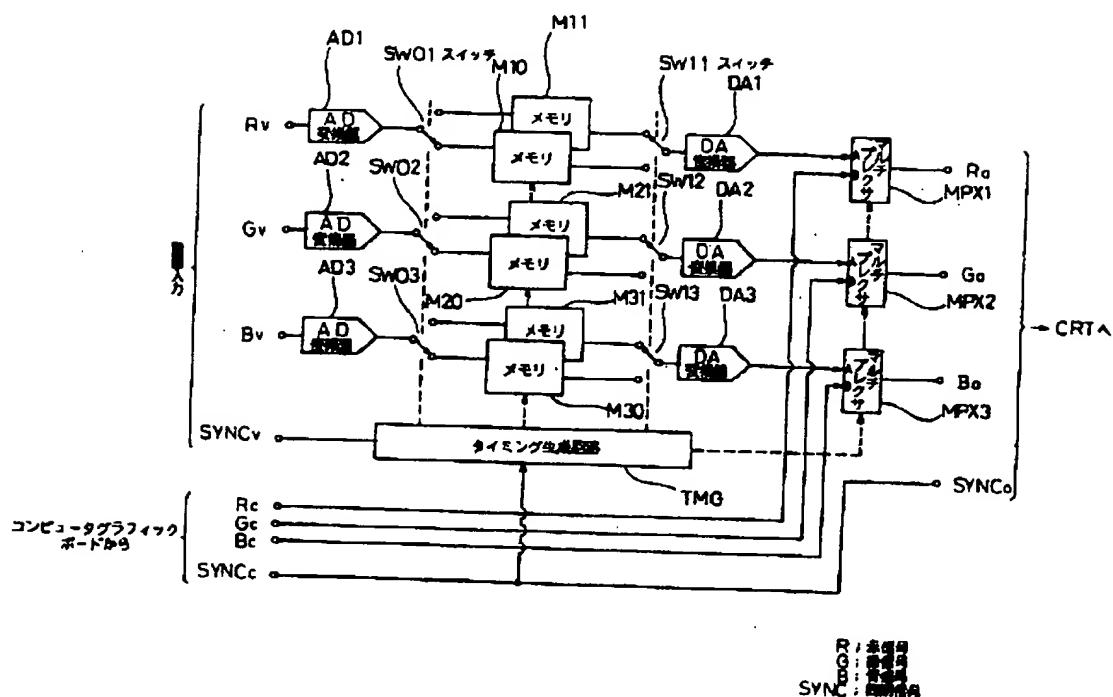
SW01, SW02, SW03, SW11, S
W12, SW13…スイッチ

TMG, TMG1, TMG2, TMG3…タイ
ミング生成回路

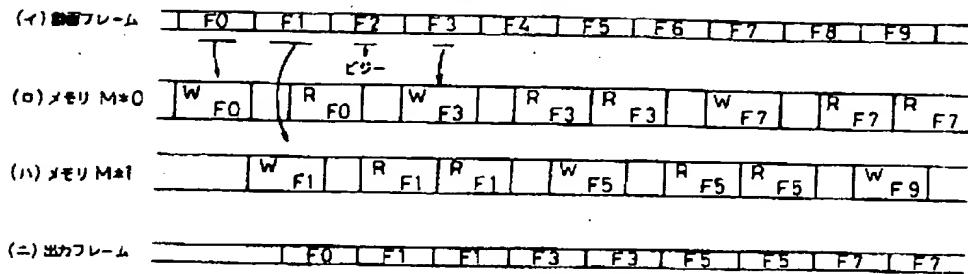
特許出願人 横河電機株式会社
代理人 弁理士 小沢信助



第1図

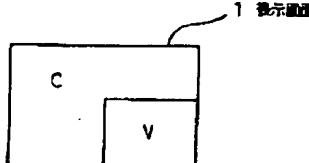


第 2 図



第 3 図

(イ)



(ロ)

C → R_c, G_c, B_c を出力
 V → DA_{1, 2, 3} の出力

第 4 図

